

Dekódování adres a návrh paměťového systému

K.D. 2004

Tento text je určen k doplnění přednášek z předmětu POT. Je zaměřen jen na některé body probírané na přednáškách bez snahy o úplné vysvětlení celé probírané problematiky.

1. Výchozí předpoklady

1.1. Adresní prostor

Jedním ze základních pojmů, jehož význam je nutné beze zbytku pochopit, je adresní prostor nebo přesněji vztah mezi logickým a fyzickým adresním prostorem.

1.1.1. Logický adresní prostor

Každý procesor pracuje při adresování dat nebo instrukcí s adresou určité délky*. Délka (tj. počet bitů) adresy určuje potom maximální velikost paměti, se kterou je daný procesor schopen pracovat – jeho logický adresní prostor.

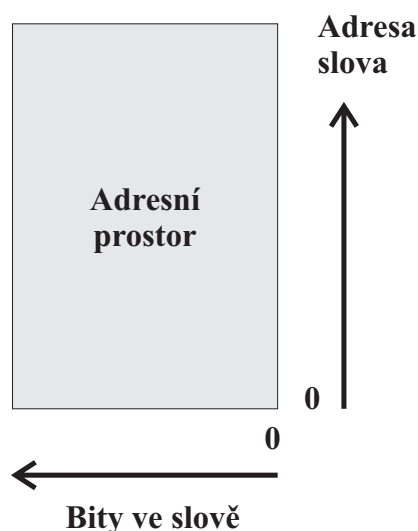
Pracuje-li například jistý procesor s 16bitovou adresou, znamená to že může pracovat s adresami v rozsahu $0 \text{ — } 2^{16}-1$. Jeho logický adresní prostor má proto velikost 2^{16} tj. 64 k slov**. Podobně procesor, který pracuje s 32bitovou adresou, má velikost logického adresního prostoru 2^{32} tj. 4 G slov.

Logický adresní prostor si můžeme znázornit jednoduchým obrázkem, takzvanou *mapou adresního prostoru* – viz Obr. 1. Na svislé souřadnici této mapy jsou vyneseny jednotlivé adresy. Pokud to situace vyžaduje, mohou být na vodorovné souřadnici vyneseny jednotlivé bity ve slově. Obvykle se však označení na vodorovné souřadnici vynechává.

V případě procesoru Renesas H8S je situace poněkud složitější: Pro adresování *dat* se používá některý z 32bitových registrů ERx nebo instrukce s 32bitovým polem pro adresu operandu. Velikost logického adresního prostoru pro práci s daty, tj. *datového logického adresního prostoru*, je proto 4 GB. Pro adresování *instrukcí* se ale používá jen 24bitová adresa (délka PC je 24bitů, délka adresního pole v instrukcích skoku a volání podprogramu je rovněž jen 24 bitů). Velikost logického adresního prostoru pro program, tj. *kódového logického adresního prostoru*, je proto $2^{24} = 16 \text{ MB}$.

* Délka adresy, se kterou je daný procesor schopen pracovat, je dána především délkou (počtem bitů) programového čítače, délkou adresního pole v instrukcích pro práci s pamětí a délkou dalších registrů (například registru SP), které může procesor použít pro adresování.

** Mnoho procesorů (mezi nimi též Renesas H8S) pracuje s pamětí organizovanou po bytech, tj. adresuje jednotlivé byty paměti. Velikost adresního prostoru se potom obvykle udává v přímo v bytech. Potom adresní prostor o velikosti 64 k slov představuje 64 kB paměti.



Obr. 1 Mapa adresního prostoru

1.1.2. Fyzický adresní prostor

Procesory bývají obvykle navrženy tak, že jejich logický adresní prostor je dostatečně velký i pro největší předpokládané aplikace. Ve skutečném počítači je však většinou osazeno méně paměti, než kolik by odpovídalo velikosti logického adresního prostoru. Skutečně použitelný *fyzický adresní prostor*, tj. adresní prostor paměti, které v počítači opravdu fyzicky existují, je proto obvykle menší než logický adresní prostor. Pro tuto skutečnost existují dva hlavní důvody:

1. Cenové důvody vedou k tomu, že je v konkrétním počítači osazeno jen tolik fyzické paměti, kolik je cenově únosné a kolik je zapotřebí pro jeho předpokládané použití.
2. V řadě případů se ani nepředpokládá, že by celý logický adresní prostor mohl být pokryt fyzickou pamětí. Velikost logického adresního prostoru je dostatečně dimenzována s ohledem na programování v prostředí multiprogramových operačních systémů a s ohledem na případné další vývojové typy s vyšším výkonem. Maximální velikost fyzické paměti, kterou lze k takovému procesoru připojit je však často omezena na zlomek velikosti logického adresního prostoru. Je zvolena s ohledem na praktické možnosti realizace fyzické paměti dostupnou součástkovou základnou. Například u procesorů Pentium 4 je maximální velikost fyzické paměti, kterou lze k procesoru připojit, omezena šířkou adresní sběrnice vyvedené z procesoru, která obsahuje 36 adresních vodičů. Pentium 4 proto může adresovat maximálně 2^{36} bytů tj. 64 GB fyzické paměti. Z důvodů uvedených v bodě 1 je však většinou skutečně využívaná velikost fyzického adresního prostoru ještě podstatně menší.

Z výše uvedeného je zřejmé, že *logická adresa*, která je použita pro adresování kódu a dat v logickém adresním prostoru, je delší než *fyzická adresa*, která adresuje kód a data ve fyzickém adresním prostoru. Pro transformaci logické adresy na fyzickou se používají různé techniky mapování paměti, obvykle zahrnující i mechanismus virtuální paměti. Jejich popis přesahuje rámec tohoto textu.

U procesoru Renesas H8S je maximální velikost fyzického adresního prostoru dána šířkou vyvedené adresní sběrnice, která je 24 bitů. Transformace 32bitové logické adresy dat na 24bitovou fyzickou adresu je provedena prostým odříznutím 8 nejvyšších bitů logické adresy. Prakticky to tedy znamená, že ve 4 GB logickém adresním prostoru lze efektivně využívat jen prvních 16 MB. Při použití zbývající části logického adresního prostoru dochází k jeho zrcadlení do prvních 16 MB. (32bitová logická adresa je u tohoto procesoru použita z důvodů kompatibility s vyššími typy procesorů).

1.2. Koncepce práce s pamětí

Základní koncepce práce procesoru s pamětí je následující:

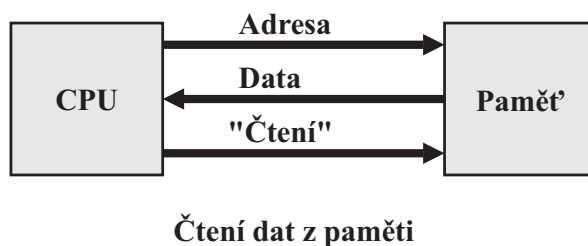
Procesor je s pamětí propojen adresní, datovou a řídicí sběrnicí (viz Obr. 2 a Obr. 3). Základní operace, které může paměť vykonávat, je zápis dat do paměti nebo čtení dat z paměti. Zápis nebo čtení dat jsou vykonávány ve čtecím resp. zápisovém cyklu.

1.2.1. Čtecí cykl

Na začátku čtecího cyklu vysílá procesor do paměti adresu, ze které má být provedeno čtení. Potom aktivuje na řídicí sběrnicí signály, které indikují požadavek na operaci čtení z paměti. Datové vývody procesoru jsou ve vstupním režimu.

Signály řídicí sběrnice, které indikují operaci čtení, aktivují paměťový obvod. Ten zahájí interní operaci čtení. Datové vývody paměti přejdou ze stavu vysoké impedance do aktivního stavu a po určité době, dané zpožděním paměti, se na nich ustálí hodnoty odpovídající datům přečteným z paměti.

Po převzetí dat z datové sběrnice procesor ukončí čtecí cykl zrušením aktivity signálů požadavku na čtení na řídicí sběrnicí.



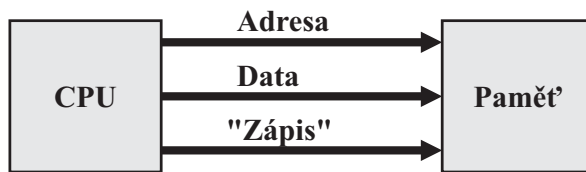
Obr. 2 Čtení z paměti

1.2.2. Zápisový cykl

Na začátku zápisového cyklu vysílá procesor po adresní sběrnicí do paměti adresu, na kterou má být proveden zápis. Potom vyšle na datovou sběrnicí data určená k zápisu. S určitým zpožděním potom aktivuje na řídicí sběrnicí signály, které indikují požadavek na zápis do paměti. Zpoždění, se kterým jsou řídicí signály aktivovány po ustálení adresních vodičů, má zaručit, že adresní vstupy paměti budou už na začátku zápisového cyklu spolehlivě v ustáleném stavu.

Signály řídicí sběrnice, které indikují operaci zápisu, aktivují paměťový obvod. Ten zahájí interní zápisovou operaci. Po celou dobu zápisu musí procesor udržovat stabilní adresu na adresní sběrnicí a data na datové sběrnicí. Trvání zápisového cyklu je dáno procesorem. Ten po určité době zruší aktivitu zápisových signálů na řídicí sběrnicí a potom podle situace i

hodnoty na datové a adresní sběrnici. Rychlost paměti musí být taková, aby během zápisového cyklu stačila zapsat data do adresované paměťové buňky.



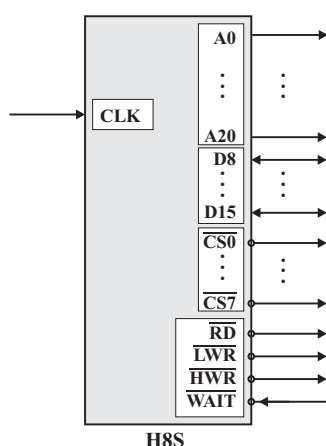
Zápis dat do paměti

Obr. 3 Zápis do paměti

1.3. Sběrnice procesoru Renesas H8S

Vnější sběrnice procesoru Renesas H8S je určena pro připojení pamětí a případně dalších periferních obvodů k procesoru. Pro pochopení její činnosti při čtení z paměti a zápisu do paměti je nutné věnovat pozornost následujícím signálům (viz Obr. 4):

- A20 – A0 Adresní sběrnice procesoru.
- /CS7 – /CS0 Signály „Chip Select“, odvozené dekodováním tří nejvyšších adresních vodičů A23, A22 a A21 přímo v procesoru.
- D15 – D8 Datová sběrnice[◊].
- /RD Signál, indikující operaci čtení.
- /HWR Signál, indikující operaci zápisu.
- /WAIT Signál na řídicí sběrnici, sloužící k prodloužení čtecího nebo zápisového cyklu.
- CLK Hodinový signál, odvozený z krystalem řízeného oscilátoru.

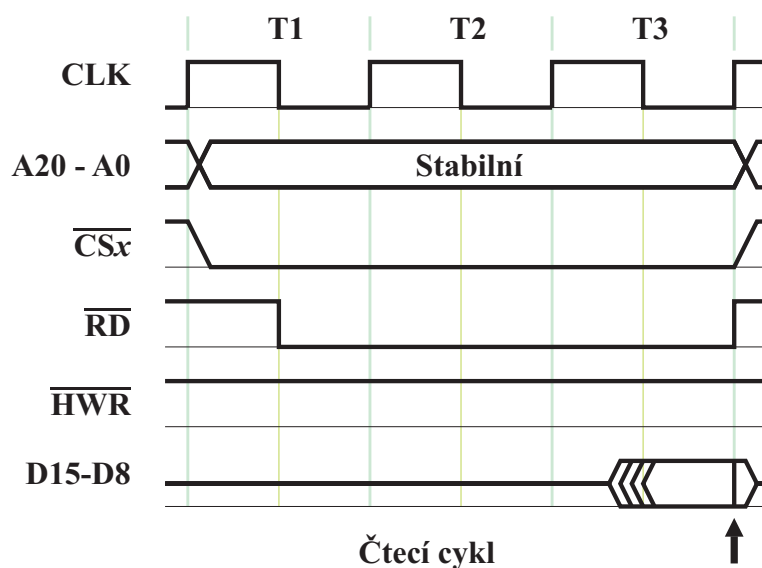


Obr. 4 Některé signály sběrnice procesoru Renesas H8S

[◊] Procesor H8S lze nakonfigurovat pro 8bitový nebo 16bitový přístup do paměti. Je-li zvolen 8bitový přístup do paměti, slouží k přenosu dat při zápisu i čtení datové vodiče D15 – D8. Vodiče D7 – D0 jsou v tomto režimu nevyužité.

1.3.1. Čtecí cykl procesoru H8S

Trvání standardního čtecího cyklu procesoru H8S je dáno 3 taktů (periodami) hodinového signálu CLK (viz Obr. 5):



Obr. 5 Čtecí cykl na sběrnici procesoru H8S

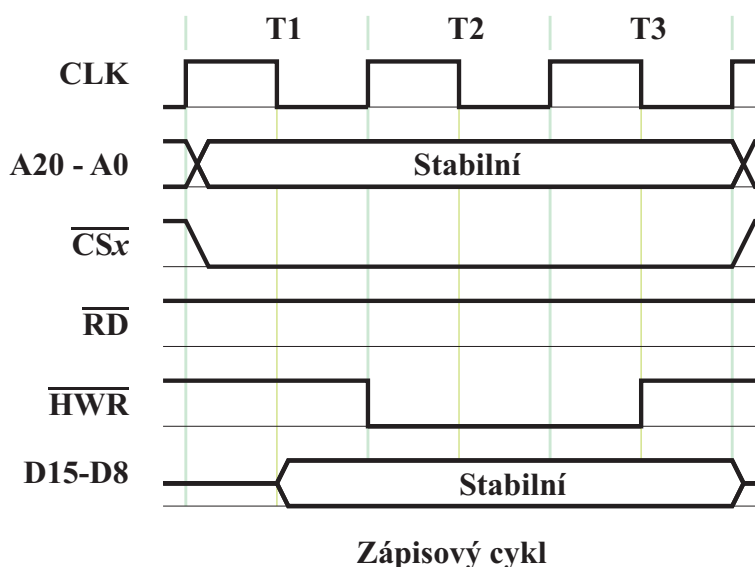
Po vzestupné hraně taktu T1 nastaví procesor na adresních vodičích adresu pro čtení. Současně aktivuje jeden ze signálů $/CS0 - /CS7$, určený hodnotami na adresních vodičích A23 – A21. Při sestupné hraně T1 aktivuje procesor signál $/RD$, který indikuje požadavek na čtení. Vývody datové sběrnice procesoru jsou ve vstupním režimu. V průběhu taktů T2 a T3 zůstává stav popsaných vývodů procesoru nezměněn. Připojená paměť je nyní aktivována v režimu čtení a vyšle na datovou sběrnici příslušná data. Na konci taktu T3 procesor okamžitě hodnoty na datové sběrnici a zruší aktivitu signálu $/RD$. Tím je čtecí cykl ukončen.

1.3.2. Zápisový cykl procesoru H8S

Podobně jako čtecí cykl, trvá i standardní zápisový cykl na sběrnici procesoru H8S 3 taktů hodin.

Na začátku prvního taktu je na adresní vodiče A20 – A0 nastavena adresa pro zápis. Současně je aktivován jeden ze signálů $/CS0 - /CS7$. Po sestupné hraně hodinového signálu v taktu T1 vyšle procesor na datovou sběrnici D15 – D7 data pro zápis do paměti. Signál $/HWR$, který indikuje požadavek na zápis do paměti, je aktivován při vzestupné hraně hodinového signálu v taktu T2. Aktivita tohoto signálu končí při sestupné hraně hodin v taktu T3. Adresa i data zůstávají stabilní až do ukončení zápisového cyklu na konci taktu T3.

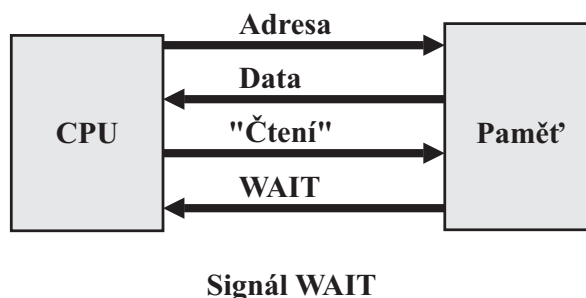
Samotný zápis dat do paměti musí proběhnout v době, kdy je aktivní signál $/HWR$. Adresa i data na sběrnici jsou stabilní dostatečně dlouho před jeho aktivováním i po zrušení jeho aktivity. Tím je zabezpečen regulérní průběh zápisu do paměti.



Obr. 6 Zápisový cykl na sběrnici procesoru H8S

1.3.3. Vkládání čekacích taktů

Trvání čtecího i zápisového cyklu je dáno frekvencí hodinového signálu procesoru. Předpokládá se, že paměťové obvody budou mít dostatečnou rychlost, aby byly schopné vyslat včas čtená data na sběrnici, případně aby byly schopné dokončit zápis v požadované době. Pokud paměť těmto požadavkům nevyhovuje, lze čtecí nebo zápisový cykl podle potřeby prodloužit. Paměťový systém musí v takovém případě vyslat ve vhodném okamžiku do procesoru signál /WAIT, který způsobí vložení jednoho nebo více tzv. čekacích taktů do čtecího resp. zápisového cyklu (viz Obr. 7)[⊗].

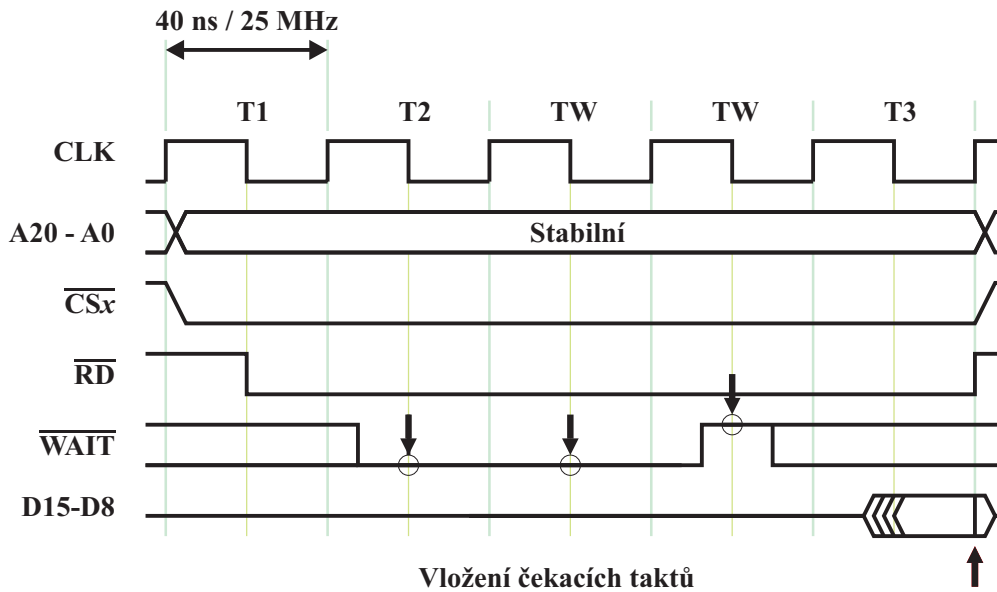


Obr. 7 Generování signálu WAIT

Detaily časování strojového cyklu se 2 vloženými čekacími taktů pro procesor H8S jsou znázorněny na Obr. 8. V každém sběrnicovém cyklu je při sestupné hraně hodinového signálu v taktu T2 vzorkován stav na vstupu /WAIT. Je-li na vstupu aktivní úroveň, vloží procesor za T2 místo taktu T3 čekací takt TW. Hodnoty na adresní a datové sběrnici a stav dalších řídicích signálů zůstává přitom shodný jako na konci T2. Při sestupné hraně hodinového signálu v TW se znovu vzorkuje stav na vstupu /WAIT. V případě, že je na vstupu opět aktivní úro-

[⊗] Rychlost paměti je jeden ze základních katalogových údajů. Zjistí-li se porovnáním tohoto údaje s průběhem čtecího nebo zápisového cyklu, že rychlost paměti je nevyhovující, je nutné návrh paměťového systému doplnit o obvody, které budou podle potřeby generovat signál /WAIT. Návrh paměťového systému se tím pochopitelně komplikuje.

veň, vloží se další TW a situace se opakuje. Teprve je-li při sestupné hraně CLK v TW na vstupu /WAIT neaktivní úroveň, ukončí procesor vkládání čekacích taktů a cykl pokračuje taktem T3.



Obr. 8 Vkládání čekacích taktů

2. Dekódování adres

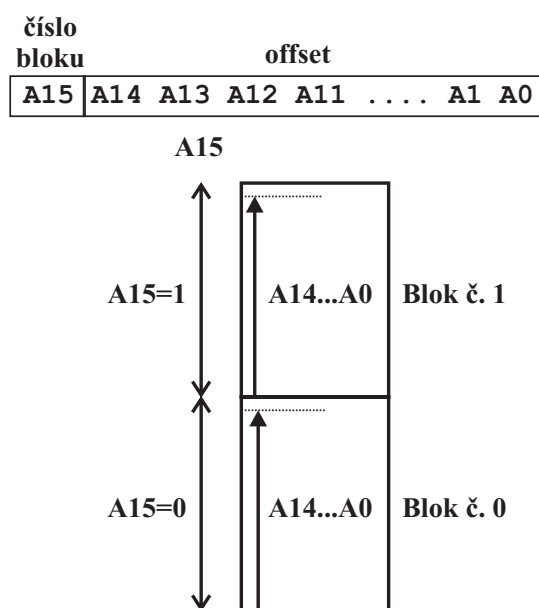
2.1. Rozdělení adresy na číslo bloku a offset

Při návrhu paměťového systému je jedním ze základních předpokladů správné pochopení významu a funkce dekodéru adres. Dekódování adres si vysvětlíme na konkrétním příkladu:

Předpokládejme, že máme procesor s 16bitovou adresou (tj. adresní sběrnice má 16 vodičů). Adresní vodiče jsou označeny A15 – A0, přičemž A15 reprezentuje nejvyšší bit (MSB) a A0 nejnižší bit (LSB) adresy. Velikost adresního prostoru je dána 16bitovou adresou a je 2^{16} tj. 64 kB (předpokládáme organizaci paměti po bytech).

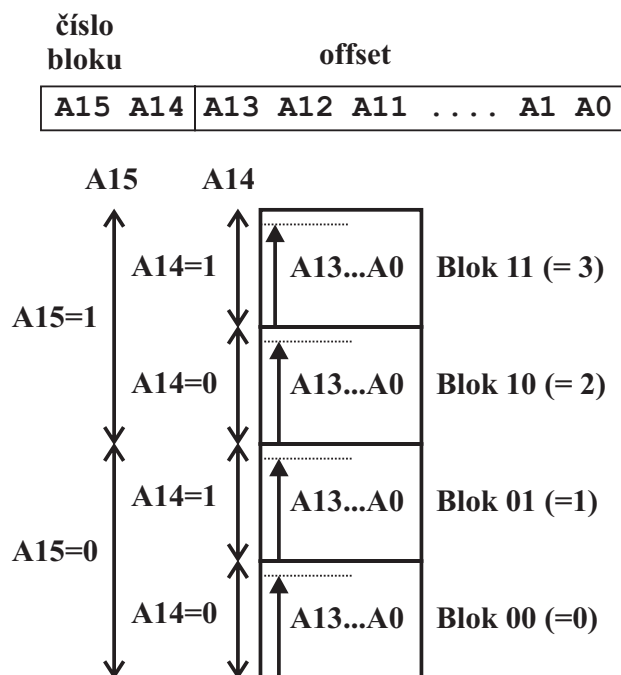
Adresní bit A15 dělí adresní prostor na dvě poloviny o velikosti 32 kB. V dolní polovině adresního prostoru je A15 = 0, v horní polovině je A15 = 1 (viz Obr. 9).

Tuto situaci lze interpretovat tak, že adresní prostor je složen ze 2 bloků o velikosti 32 kB, označených čísly 0 a 1. Adresní bit A15 potom udává číslo bloku (0 nebo 1), zatímco zbývající adresní vodiče A14 – A0 určují adresu relativně k začátku každého bloku, tzv. offset (pro adresování 32 kB je zapotřebí právě 15 adresních vodičů).



Obr. 9 Rozdělení adresního prostoru na 2 bloky

Každý ze dvou 32 kB bloků můžeme podobně rozdělit na dva 16 kB bloky. Adresní bit A14 potom určuje číslo 16 kB bloku v rámci 32 kB bloku, zatímco bity A13 – A0 určují offset v 16 kB bloku (viz Obr. 10).

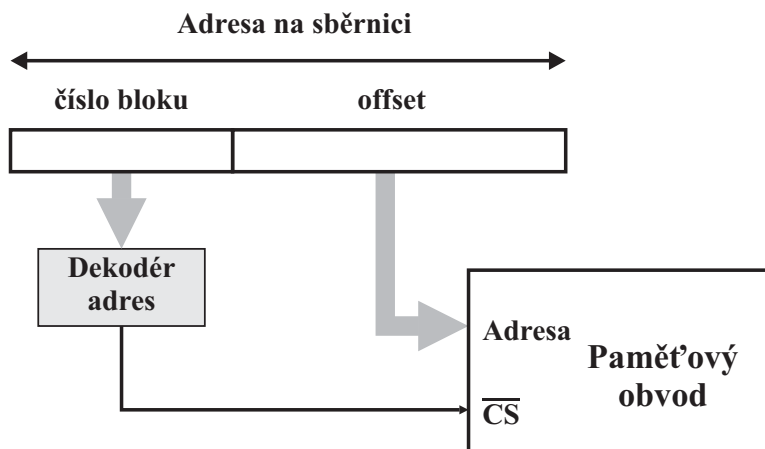


Obr. 10 Rozdělení adresního prostoru na 4 bloky

Nyní je tedy 64 kB adresní prostor rozdělen na čtyři 16 kB bloky. Hodnoty adresních bitů A15 a A14 můžeme interpretovat jako číslo bloku (dvěma adresními vodiči můžeme adresovat 2^2 tj. právě 4 bloky). Čísla bloků jsou tedy ve dvojkové soustavě 00, 01, 10, 11. Adresní bity A13 – A0 udávají offset v každém ze 4 bloků.

V dělení adresního prostoru na menší bloky můžeme pokračovat libovolně dlouho. V dalším kroku bychom rozdělili adresní prostor na 8 bloků o velikosti 8 kB, přičemž adresní bity A15 – A13 by určovaly číslo bloku (000, 001, ... 110, 111) a bity A12 – A0 offset.

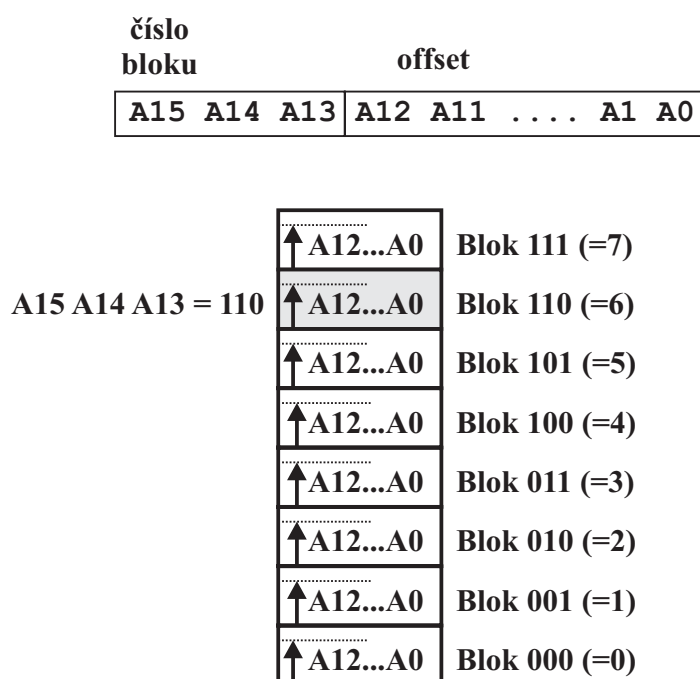
Obecně lze tedy adresu interpretovat tak, jako by byla složena ze dvou částí. Vyšší (levá) část adresy určuje číslo bloku, nižší (pravá) část adresy potom offset v jednotlivých blocích. Počet bloků je dán délkou levé části adresy, velikost bloku potom délkou její pravé části (viz Obr. 11).



Obr. 11 Rozdělení adresy na číslo bloku a offset

Hranice, která rozděluje adresu na číslo bloku a offset může být umístěna libovolně. V praxi je její poloha určena například velikostí paměťových obvodů (čipů), ze kterých má být paměť sestavena. Velikost čipu potom odpovídá velikosti bloku a příslušný počet adresních vodičů, představující offsetovou část adresy, je zaveden přímo do paměťového obvodu. Zbývající adresní vodiče na adresní sběrnici určují číslo bloku. Obvykle jsou zavedeny do dekodéru adres. Ten generuje výběrový signál /CS pro paměťový obvod právě tehdy, je-li na adresních vodičích kombinace, která odpovídá číslu bloku do něhož chceme paměťový obvod umístit.

Máme-li tedy ve výše použitém příkladu paměťový obvod o kapacitě 8 kB, bude délka offsetové části adresy 13 bitů ($2^{13} \text{ B} = 8 \text{ kB}$). Délka adresy, která udává číslo bloku a která bude zavedena do dekodéru adres bude potom $16 - 13 = 3$ bity. Paměťový obvod můžeme umístit v některém z 2^3 tj. 8 bloků[▼]. Číslo bloku ve dvojkové soustavě určuje kombinaci adresních vodičů, při které aktivuje dekodér adres signál /CS pro paměťový obvod^{*}. Zvolíme-li například blok číslo 6 tj. 110, vygeneruje dekodér adres signál /CS jen tehdy, bude-li na adresních vodičích A15 – A13 právě kombinace 110 (viz Obr. 12).



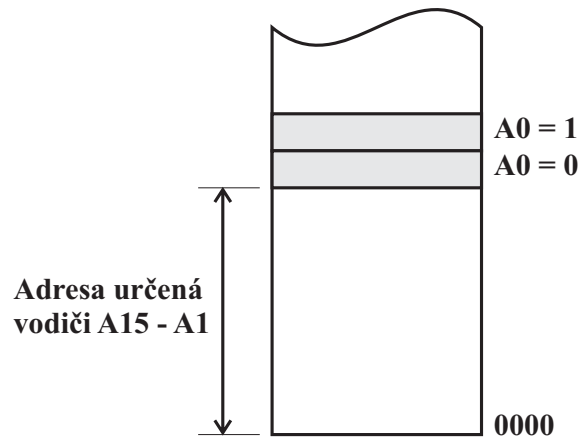
Obr. 12 Dekódování adres pro blok č. 6

[▼] Umístění paměťového obvodu mimo hranice příslušně velkého bloku v adresním prostoru (tj. tak, aby paměťový obvod částečně překrýval dva nebo více bloků) je sice možné, ale návrh dekodéru adres se tím značně zkomplikuje.

^{*} Umístění paměťového obvodu v adresním prostoru je obvykle určeno dalšími konstrukčními požadavky. Často se požaduje, aby paměťový obvod ležel v bloku začínajícím určitou adresou nebo aby více paměťových obvodů tvořilo v adresním prostoru souvislou oblast.

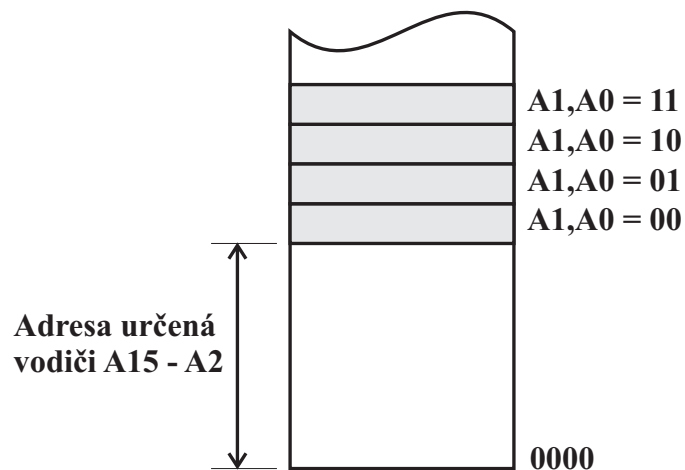
2.2. Zarovnání adres

Nyní se zaměříme na interpretaci nejnižších bitů adresy. Předpokládejme, že v 16bitové adrese je na adresních vodičích A15 – A1 určitá konstantní hodnota. Tuto část adresy můžeme interpretovat jako číslo bloku o velikosti 2 bytů. A15 – A1 tedy určují umístění tohoto bloku v adresním prostoru. Adresní vodič A0 potom určuje offset, tj. vybírá jeden ze dvou bytů daného bloku (viz Obr. 13).



Obr. 13 *Word alignment*

Podobně můžeme adresu rozdělit tak, že adresní vodiče A15 – A2 budeme považovat za číslo bloku o velikosti 4 bytů. Adresní vodiče A1 a A0 potom vybírají některý ze 4 bytů tohoto bloku (viz Obr. 14).



Obr. 14 *Double word alignment*

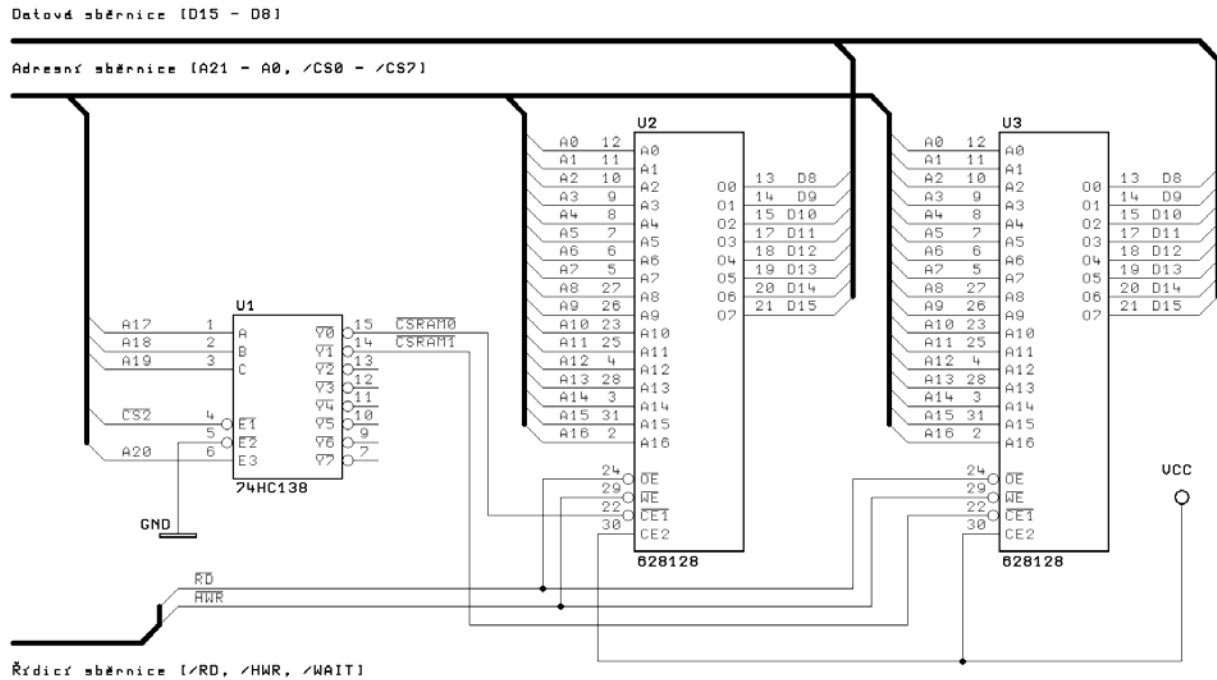
Popsaná interpretace adresy je důležitá pro práci s datovými položkami většími než 1 byte v paměti s bytovou organizací. Řada procesorů totiž vyžaduje, aby při práci se 16bitovým slovem bylo toto slovo uloženo v paměti se zarovnáním tak, aby oba byty ležely v jediném bloku určeném adresními vodiči $A_n - A_1$ (tzv. word alignment). Podobně při práci s 32bitovými daty musí být všechny 4 byty uloženy se zarovnáním double word alignment, tj. v bloku s konstantní složkou adresy $A_n - A_2$.

3. Příklad zapojení paměťových obvodů

Na Obr. 15 je úplné zapojení paměti SRAM o celkové kapacitě 256 kB pro procesor Renesas H8S. Při analýze zapojení můžeme použít následující úvahy:

1. Paměť je sestavena ze dvou paměťových obvodů o kapacitě 128 kB. Každá paměť je proto má vývody pro 17 adresních vodičů. Na tyto vývody je zapojeno 17 nejnižších adresních vodičů (A16 – A0) z adresní sběrnice.
2. Protože procesor H8S používá 24 bitovou fyzickou adresu, vybírá zbývajících 7 adresních vodičů některý ze 128 bloků. Tyto vodiče jsou zavedeny do dekodéru adres 74HC138, který vybírá jednotlivé paměťové obvody. Z tohoto pohledu je tedy adresní prostor rozdělen na 128 bloků (2^7) o velikosti 128 kB.
3. Procesor H8S interně dekoduje tři nejvyšší adresní vodiče (A23 – A21) a podle jejich hodnoty generuje některý ze signálů /CS0 – /CS7, které jsou součástí adresní sběrnice. Je-li na A23 – A21 kombinace 000, je aktivován /CS0, pro kombinaci 001 je aktivován /CS1 atd.
4. Na vstup /E1 dekodéru adres je zapojen signál /CS2 z adresní sběrnice. Pro aktivování některého z výstupů /Y0 – /Y7 proto musí být na adresních vodičích A23 – A21 kombinace 010 (viz popis obvodu 74HC138).
5. Na vstup E3 dekodéru adres je zapojen adresní vodič A20. Protože pro aktivování některého z paměťových obvodů musí být E3 = H, musí být A20 = 1.
6. Adresní vodiče A19 – A17 jsou zavedeny na vstupy C, B, A dekodéru adres. Protože paměťový obvod U2 má vstup /CE1 připojen na vývod /Y0 dekodéru adres, musí být pro jeho aktivování na adresních vodičích A19, A18, A17 kombinace 000.
7. Paměťový obvod U3 má vstup /CE1 připojen na vývod /Y1 dekodéru adres. Pro jeho aktivování proto musí být na adresních vodičích A19, A18, A17 kombinace 001.
8. Složíme-li jednotlivé dílčí poznatky dohromady, dostaneme pro adresu paměťového obvodu U2 následující hodnoty:
 $A_{23} - A_{21} = 010$, $A_{20} = 1$, $A_{19} - A_{17} = 000$, $A_{16} - A_0$ jsou zavedeny do paměťového obvodu.
 Obvod U2 proto leží v rozsahu adres
 $0101\ 0000\ 0000\ 0000\ 0000\ 0000 - 0101\ 0001\ 1111\ 1111\ 1111\ 1111$, tj. hexadecimálně 500000 – 51F FFF.
9. Podobně pro U3 dostaneme následující hodnoty:
 $A_{23} - A_{21} = 010$, $A_{20} = 1$, $A_{19} - A_{17} = 001$, $A_{16} - A_0$ jsou zavedeny do paměťového obvodu.
 Obvod U2 proto leží v rozsahu adres
 $0101\ 0010\ 0000\ 0000\ 0000\ 0000 - 0101\ 0011\ 1111\ 1111\ 1111\ 1111$, tj. hexadecimálně 520000 – 53F FFF.
10. Nevyužité vstupy dekodéru adres a vstupy /CE2 pamětí jsou připojeny trvale na aktivní úroveň, protože pro aktivaci příslušných obvodů platí pro všechny aktivací vstupy podmínka AND tj. pro aktivování obvodu musí být *současně* splněny *všechny* podmínky.

11. Pro ovládání signálů /OE a /WR paměťových obvodů jsou použity signály /RD a /HWR, jejichž časování pro dané zapojení bez úprav vyhovuje (viz popis sběrnice procesoru H8S a popis paměti SRAM).



Obr. 15 Zapojení paměti 256 kB.